

動作マージンを確保可能な ディジタル LSI の製造後クロック調整手法の提案

諏 佐 達 也^{†1} 村 川 正 宏^{†2} 高 橋 栄 一^{†2}
古 谷 立 美^{†1} 樋 口 哲 也^{†2} 古 市 慎 治^{†3}
上 田 佳 孝^{†3} 和 田 淳^{†3}

製造ばらつきにより発生するクロック・スキューの問題を解決するための手法として、遺伝的アルゴリズムを用いたディジタル LSI の製造後クロック調整技術が提案されている。しかし、調整後のチップの一部で不安定な動作が確認されるという問題点がある。これは電源電圧や温度などの環境変動が原因と考えられる。そこで本研究では、動作想定条件よりも厳しい条件で調整することによりタイミング余裕を確保し、さらに、GA の終了条件を段階的に厳しくすることで限られた調整時間内で環境変動に対する頑健性を向上させるディジタル LSI の製造後クロック調整手法を提案する。実用的回路の設計データを用いた調整シミュレーション実験の結果、タイミング余裕を確保したうえで歩留りを向上させることに成功した。

Post-fabrication Clock-timing Adjustment for Digital LSIs Ensuring Operational Timing Margins

TATSUYA SUSU,^{†1} MASAHIRO MURAKAWA,^{†2}
EIICHI TAKAHASHI,^{†2} TATSUMI FURUYA,^{†1}
TETSUYA HIGUCHI,^{†2} SHINJI FURUICHI,^{†3}
YOSHITAKA UEDA^{†3} and ATSUSHI WADA^{†3}

As LSI devices are increasingly implemented with finer patterns (below 100nm) and operating at faster clocks, the problem of fluctuations in clock timing (also known as the “clock skew” problem) becomes even more crucial. In order to solve the problems associated with clock timing, our group has proposed a Genetic Algorithm (GA) based clock adjustment method. Although the GA successfully adjusted the clock timing of the test chips, some of the adjusted chips were found to operate at lower levels of accuracy. This is because the clock timings were adjusted to the very margins of feasible timings to pass

the function tests. To overcome this difficulty, we propose an improved GA-based clock adjustment method which ensures that the adjustment results are sufficiently robust to cope with fluctuations in the LSI environment. Adjustment experiments using the developed simulator demonstrate that our method can enhance the operational yield while maintaining adequate operational timing margins.

1. はじめに

近年、ディジタル LSI の高速化や微細化にともない、クロック信号の伝播時間のずれであるクロック・スキュー (Clock Skew) の問題が深刻になってきている¹⁾。この結果、ディジタル LSI の動作歩留り (設計どおりのスペックで動作できるチップの比率) が低下し、チップ価格の上昇を招いている。クロック・スキューの主な発生原因は製造ばらつきであり、これにより個々のトランジスタの遅延時間や駆動能力、配線の抵抗や寄生容量が変動してしまう。このディジタル LSI のクロック・スキュー問題を解決するために、半導体 MIRAI プロジェクトでは、チップのクロックラインにクロックの入力タイミングを微調整可能にするプログラマブル遅延回路を複数個挿入し、製造後にそれら遅延回路の調整値を遺伝的アルゴリズム (Genetic Algorithm; GA)²⁾ を用いて調整する方式を提案している^{3),4)}。中規模回路での調整実験⁴⁾ の結果、歩留りを大幅に向上させることに成功している。

しかしながら、実チップによる調整実験の結果、調整後のチップの一部で不安定な動作が観測されている。この不安定な動作の原因として、チップ動作時の電源電圧の降下や温度変化などの環境の変動が引き起こすチップ内回路の遅延が考えられる。この遅延により、正常に動作するように調整されたはずのチップに誤動作が生じると推定される。ここで誤動作とは、機能テストに合格しない状態のこととする。また、機能テストとはチップにテストベクタを入力し、そのチップからの出力とあらかじめ用意しておいた出力の期待値を比較し、チップが正常に動作しているかを確認するテストをいう⁵⁾。そこで本論文では、この課題を解決するために、動作マージンを確保可能なディジタル LSI の製造後クロック調整手法を

^{†1} 東邦大学大学院理学研究科
Graduate School of Science, Toho University

^{†2} 産業技術総合研究所情報技術研究部門
National Institute of Advanced Industrial Science and Technology (AIST)

^{†3} 三洋電機株式会社
Sanyo Electric Co., Ltd.

提案する．実験ではまず，環境変動が GA を用いた調整に大きな影響を与えるのかどうかを文献 6) で提案した専用シミュレータにより確認する．次に，実用的規模のチップの設計データを用いて，シミュレーション実験を行うことで提案手法の有効性を示す．以下，2 章ではデジタル LSI の製造後クロック調整手法についての説明を行い，現在の課題について述べる．続いて，3 章では動作マージンを確保可能な新しい調整手法を提案し，その詳細を説明する．4 章では環境変動が GA を用いた調整に与える影響をシミュレーション実験により確認し，5 章では提案手法の有効性を示すためのシミュレーション実験の結果を報告し，6 章ではその考察を行う．最後に，7 章でまとめと今後の課題を述べる．

2. デジタル LSI の製造後クロック調整

デジタル LSI には，クロック・スキューによる動作歩留りの低下の問題がある．この問題を解決するために，チップを製造後に調整することによりクロック・スキューを補正する方式が提案されている（図 1）．この方式では，チップの設計段階でクロックタイミングに対するマージンが少ないことが分かっている場合，その部分にクロック信号の到達タイミングを微調整することができるプログラマブル遅延回路を，あらかじめ複数挿入したうえで

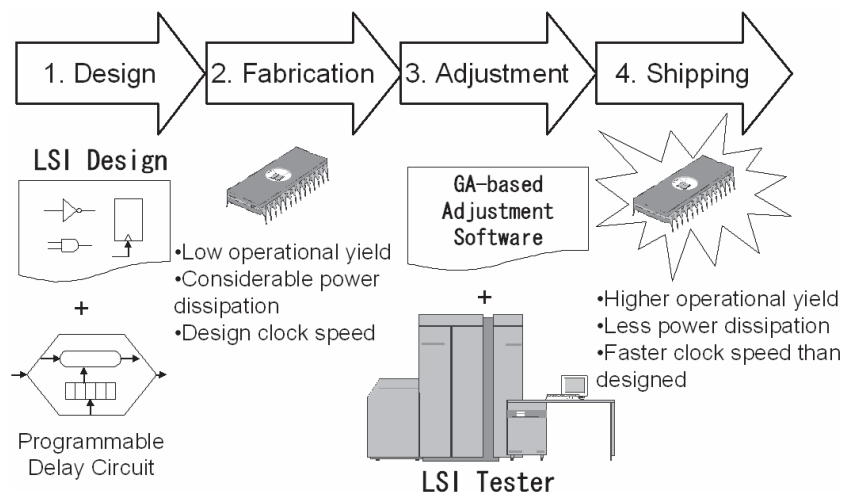


図 1 LSI の製造後クロック調整技術

Fig. 1 Post-fabrication clock-timing adjustment for digital LSIs.

チップを製造する．そしてチップの製造後に，LSI テスタ上で実行される遺伝的アルゴリズムを用いて，挿入したプログラマブル遅延回路を準最適に調整する．

調整の様子を図 2 で説明する．組合せ回路に製造誤差などによる遅延が生じた場合，その組合せ回路の直後のフリップフロップでは，組合せ回路からのデータ信号よりも早くクロック信号が到達してしまう．そのため，このフリップフロップでは本来取り込まれるべき値とは異なる不定の値が取り込まれてしまい，回路全体が誤動作を起こしてしまう．そこで，不定の値が取り込まれてしまうフリップフロップへのクロック信号線上に挿入されたプログラマブル遅延回路を微調整し，クロック信号の入力タイミングを遅らせる．そうすることで，遅延回路が直前の組合せ回路で生じた遅延を吸収し，回路全体の誤動作を解消することが可能となる．

ただし，チップ内でプログラマブル遅延回路が必要な場所は多数あり，それぞれの最適な遅延時間の値は相互に密接に関連している．このため，それぞれの遅延時間の最適値を求めようとすると，広大な探索空間を持つ探索問題を解く必要がある．そこで，調整ソフトウェア

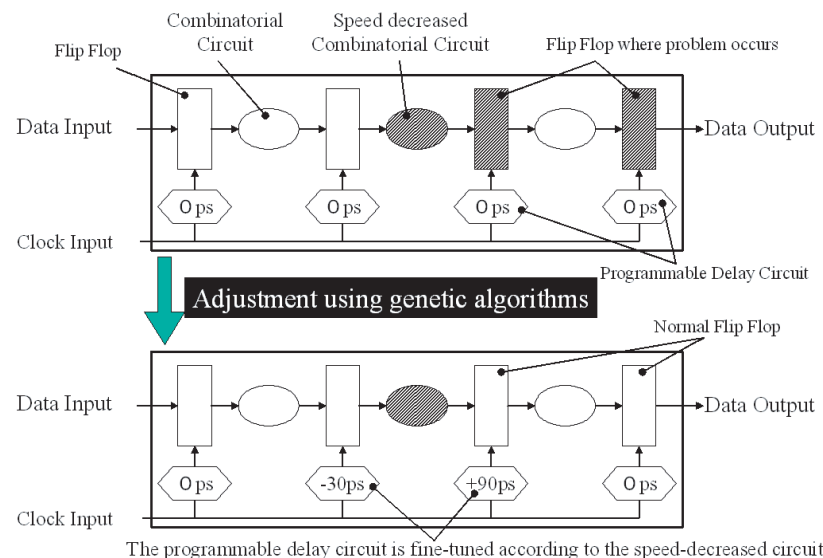


図 2 遺伝的アルゴリズムを用いた調整の様子

Fig. 2 Adjustment using genetic algorithms.

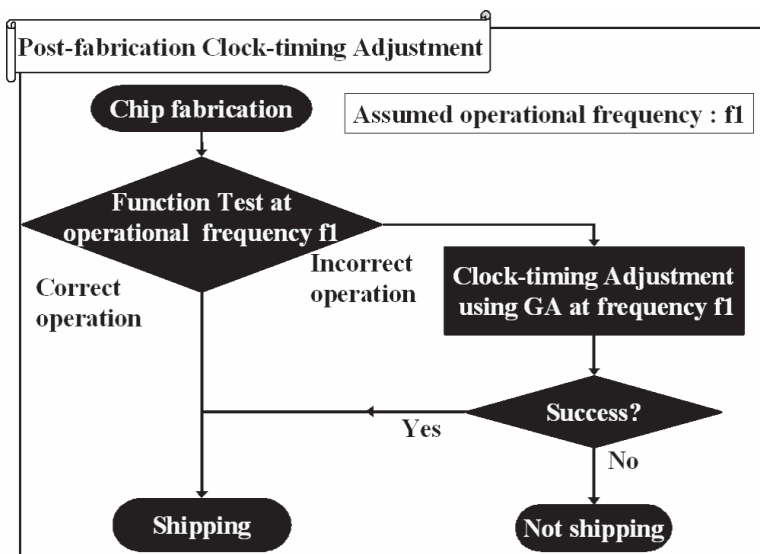


図 3 従来の製造後調整手法

Fig. 3 Flowchart for the conventional post-fabrication adjustment technique.

アでは、遺伝的アルゴリズムを用いることで、複数のプログラマブル遅延回路の準最適な遅延時間を求めることを可能にしている。

この調整は具体的に図 3 に示す手順で行われる。まず、製造されたチップに対し、想定動作周波数 f_1 で機能テストによる動作確認を行う。この想定動作周波数 f_1 での動作確認で正常動作するチップであれば、出荷可能なチップであると判断する。また、想定動作周波数 f_1 での動作確認で正常動作しなかったチップに対しては、想定動作周波数 f_1 での GA を用いた調整を行い、調整に成功すれば出荷可能なチップであると判断する。なお、調整が失敗したチップは出荷不可能なチップと判断する。

この方式を用いることにより、中規模回路（メモリテストパターン生成器と乗算器、それぞれフリップフロップが 44 個と 52 個）において動作歩留りの向上だけでなく、当初の設計仕様に対して 25% の高速化と 54% の低消費電力化を同時に実現している⁴⁾。

2.1 従来調整手法の課題

本調整手法を実用的な回路に適用するにあたり、従来手法には以下のような大きな課題が 2 つ存在した。

- (1) より大規模な回路を調整する場合に、調整箇所が増大するため、調整時間が大幅に増加してしまう。
- (2) 実チップにおける調整実験において、調整後のチップの一部で動作が不安定になる。
(1) の課題については文献 6) において、製造後クロック調整の高速化手法を提案した。この手法では、LSI 設計時に行う STA (Static Timing Analysis) の結果を用いて調整箇所を限定し、遺伝的アルゴリズムの初期集団の分布を工夫することで、調整時間を短縮する。さらに、これらの手法による調整効果を LSI の設計時に検証できるようにするための調整シミュレータを開発した。検証実験の結果、1,031 カ所のフリップフロップが存在する実用的な回路に対し、数秒という現実的な時間で調整が完了できる見込みを得た。

しかしながら、この手法を用いても (2) の課題は解決されず、調整後のチップの一部では不安定な動作が観測されている。この不安定な動作の原因として、調整後のチップが十分な動作マージンを持って調整されていない場合に、電源電圧や温度などの環境に変動が生じた結果、調整が成功したにもかかわらず動作が不安定になっていることが推定される。

そこで本論文では、上記 (2) の課題を解決する動作マージンを確保可能な製造後クロック調整手法を提案する。

3. 動作マージンを確保可能な調整手法の提案

本論文では、調整時に十分な動作マージンを確保可能な製造後クロック調整手法を提案する。提案手法は、(A) 調整時の動作周波数を想定動作条件よりも厳しく設定して調整をかけることで動作マージンを確保し、さらに (B) 調整時の GA の終了条件を段階的に厳しくしていくことによって限られた調整時間内で環境変動に対する頑健性を向上させる、2 つの特徴を持つ。以下でそれぞれの特徴について説明する。

3.1 厳しい動作条件での調整

提案調整手法では、図 4 に示した手順で動作マージンを確保する。設計時の動作周波数（設計動作周波数）を f_0 、調整後に実際に使用されるとき動作周波数（想定動作周波数）を f_1 、チップを調整するとき動作周波数（調整動作周波数）を f_2 とする。初めに、想定動作周波数 f_1 よりも f_{adj} だけ大きく設定した調整動作周波数 f_2 ($f_2 = f_1 + f_{adj}$) で機能テストによる動作確認を行い、安定した動作をするか調べる（動作確認 1）。ここで f_{adj} は f_1 に対して一定値とする。たとえば、 f_1 が 200 MHz で f_{adj} が 5 MHz であれば、 f_2 は 205 MHz となり、同様に、 f_1 が 210 MHz であれば、 f_2 は 215 MHz となる。

この動作確認 1 において正常動作するチップであれば、想定動作周波数 f_1 ($f_1 \geq f_0$)

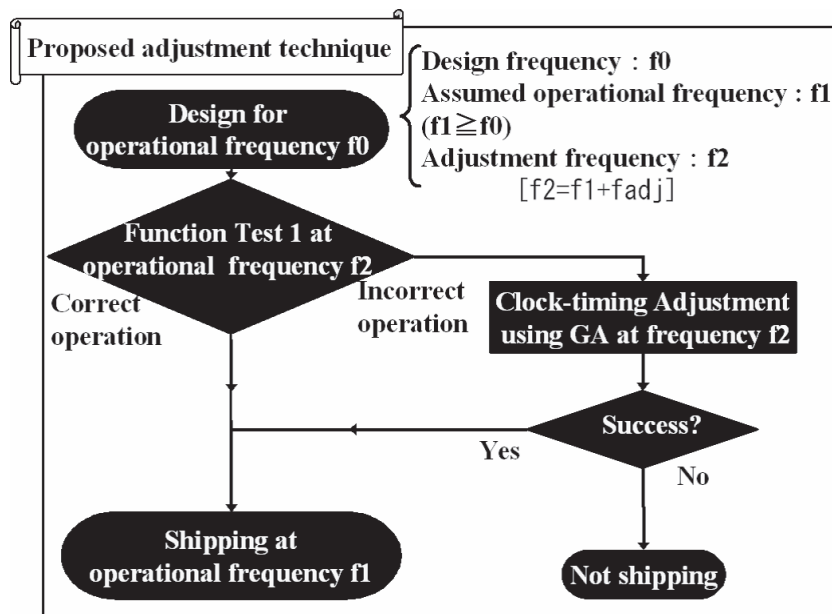


図 4 動作マージンを確保可能な提案調整手法

Fig. 4 Proposed adjustment technique to ensure operational timing margins.

で出荷可能なチップと判断する。また、動作確認 1 で正常動作しなかったチップに対しては、調整動作周波数 f_2 において GA を用いた調整を行う。ここで、調整動作周波数 f_2 において調整に成功したチップに対しては、調整成功時のプログラマブル遅延回路の設定を用いて調整動作周波数 f_2 において再度動作確認を行う（動作確認 2）。このとき、正常動作するチップであれば、想定動作周波数 f_1 において環境の変動時に発生する遅延を吸収する動作マージンを有している出荷可能なチップと判断できる。なお、動作確認 2 で正常動作しなかったチップは出荷不可能なチップと判断する。この手法を用いることで、想定動作周波数 f_1 に f_{adj} 分の動作マージンを確保したうえで、チップの歩留りを向上させることが可能となる。

3.2 GA 終了条件の段階的な引き上げ

提案手法では、限られた調整時間内に環境変動に対する頑健性を向上させるため、GA の終了条件を段階的に厳しくしながら調整を行う。具体的には、GA 開始時には従来と同じ終

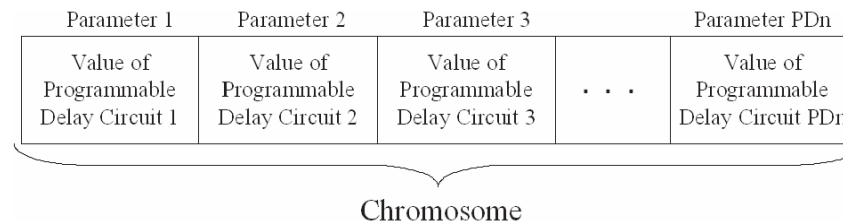


図 5 染色体の設定

Fig. 5 Coding of the chromosome.

了条件を設定しているが、一度でもその条件を満たした場合は、より厳しい終了条件に更新し、以後の GA ではその終了条件を用いる。厳しく設定した終了条件も満たした場合は、さらに厳しい終了条件に更新する。このようにして、段階的に GA の終了条件を厳しいものに引き上げていく。

以下では提案調整手法の詳細について説明する。まず、染色体はチップ内の PDn 個のプログラマブル遅延回路の各遅延値をパラメータとし、そのパラメータ群を 1 列に並べたものを 1 組の染色体としている（図 5）。各遅延値は、整数値をとり、遅延の度合いに対応する。遅延値が負の場合は、1 周期前のクロック信号を大幅に遅らせることにより、擬似的にクロック信号を早めることに相当する。

評価値 fit は、 R 回繰り返される同一の機能テストにおいてチップの実際の出力と期待の出力を比較し異なった値の個数 $errorN$ から算出する。1 回の機能テストに対する出力数を $outN$ とすると、その中でいくつか間違った出力が出現する。ここで、 R 回同一の機能テストを繰り返すと、動作の不安定さから毎回いくつかの間違った出力が出現することになる。すなわち、 $errorN$ は R 回の機能テストを行った際に出現する間違った出力の R 回分の合計値となる。 fit を求める評価計算は次式で表される。

$$fit = \frac{outN \times R - errorN}{outN \times R}$$

すべて期待どおりの出力値であれば評価値 fit は 1 となり、チップは正常に動作すると判断する。また、 $errorN$ が多ければ多いほど評価値 fit は下がり、すべての比較値が異なっていれば評価値 fit は 0 となる。よって、この GA では評価値 fit が高いほど良い個体と判断する。 R の値が小さい場合は、変動の影響を受けてたまたま $errorN$ の値が小さくなることもあり、 fit の信頼性が低くなる。それに対し R の値が大きい場合は、 fit の信頼性

が高くなるが、その分調整に時間がかかってしまう。そこで、 R の大きさを段階的に引き上げるために、以下の手法を用いる。

- R_i は i 段階目の機能テストの繰り返し回数である。初めは繰り返し回数 R_1 で評価値を計算する。各段階で変化するのは機能テスト回数 R のみである。
- 集団中の全個体に R_i と同一の値が適用される。また、 R_i は GA の途中で減ることはない。
- 集団中で fit が 1 になる個体が 1 つでも現れた時点で、 R_1 を R_2 ($R_2 \geq R_1$) に変更し個体の再評価を行う。
- 増加させた R_2 での評価計算で、集団中で fit が 1 になる個体が 1 つでも現れた場合、同様に R_2 を R_3 ($R_3 \geq R_2$) に変更し個体の再評価を行う。
- 以下同様に R_i を R_{i+1} ($R_{i+1} \geq R_i$) に変更し個体の再評価を行う。
- 定めた引き上げ段階数に達したらその個体の fit は 1 とする。

段階が上がるたびに R の値が引き上げられ、より環境変動の影響を受けにくい染色体を発見する必要があるため、より厳しい終了条件を課していることになる。調整では機能テストの時間が調整時間のほとんどを占めるため、 R の値が大きくなるほど調整に時間がかかる。しかし、調整の序盤では fit の値はそれほど高くない場合が多く、調整時間が限られる場合、何度も機能テストを繰り返す時間が無駄になる。そのため、段階的に R の値を変更することで、限られた時間内での調整において、GA の序盤では大域的な探索を粗く行い、GA の終盤では解候補に近い空間で環境変動に影響されないように時間をかけて局所的な探索を行うことができる。

3.3 GA を用いた調整手順

前述の評価計算方法を用いた GA のフローチャートは図 6 のようになる。以下でその手順を説明する。

- (1) 母集団数だけ個体を生成し、評価値 fit を求める。ここで評価値 fit が 1 になる個体が存在すれば調整は成功と見なし終了となる。評価値 fit が 1 になる個体が 1 つもない場合には、(2) へ進む。
- (2) 母集団の中からランダムに親の 2 個体を選択し、交叉、突然変異の処理を行い、子の 2 個体を生成する。
- (3) 子の 2 個体に対して評価値 fit を求める。ここで子の個体の一方でも評価値 fit が 1 ならば調整は成功と見なし終了となる。どちらの個体も評価値 fit が 1 に満たないならば、(4) へ進む。

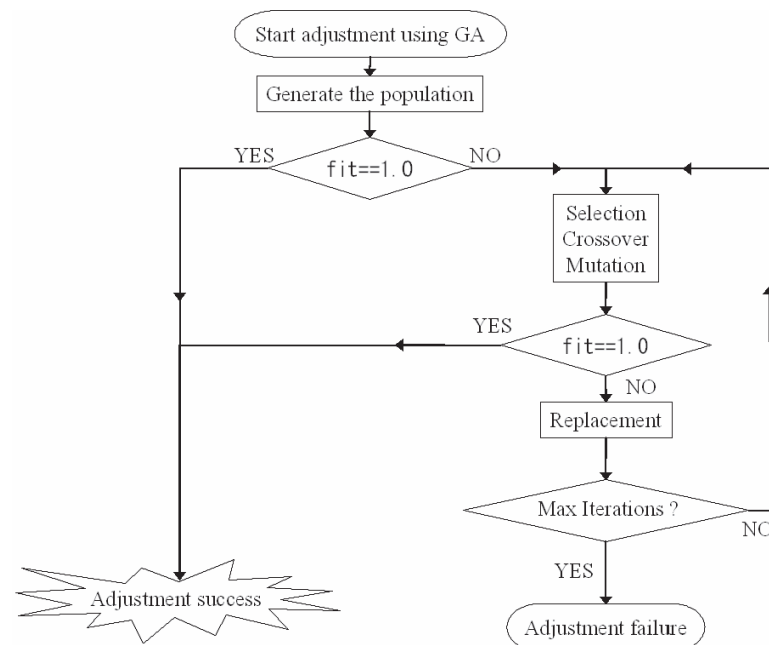


図 6 GA を用いた調整のフローチャート
Fig. 6 Flowchart for adjustment using GA.

- (4) 親の 2 個体と子の 2 個体で評価値 fit を比較し、評価値 fit の大きい 2 個体を元の母集団に戻す（置換）。
- (5) (2) から (4) を一定の評価回数繰り返しても調整が終了しなければ、調整は失敗と見なし終了する。

4. 環境変動の GA に対する影響

4.1 実験環境

本研究では、実用的な回路を基に、プログラマブル遅延回路を組み込んだチップを新たに設計した。この実用的な回路は低消費電力用に作り込まれた画像圧縮伸長処理に用いる DCT 演算回路である⁷⁾。また、プログラマブル遅延回路は図 7 のように実装され、チップ内の 1,031 カ所すべてのフリップフロップのクロック入力ラインに挿入されている。この設

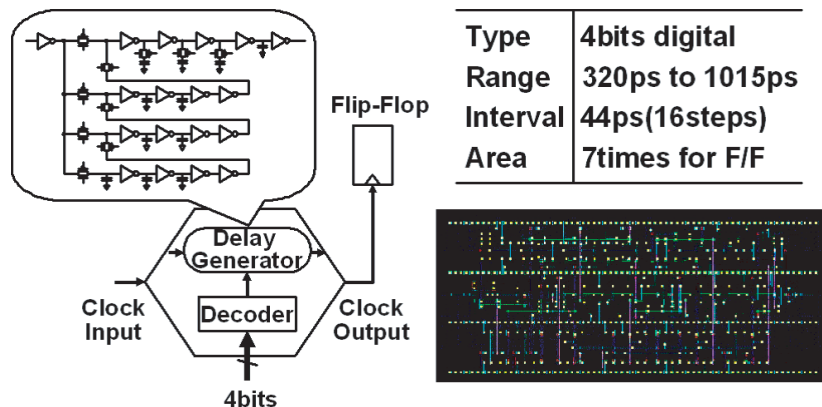


図 7 プログラマブル遅延回路

Fig. 7 Simple 4-bits digital control circuit and delay generator.

計したチップの規模は約 3 万ゲートであり、設計動作電源電圧 1.0 V、設計動作周波数 f_0 が 200 MHz で設計された。この回路の STA の結果を基に、文献 6) で開発したシミュレータ上で仮想的なチップを 100 チップ作成し、それぞれのチップに対し想定動作周波数 f_1 を 165 MHz から 195 MHz まで 1 MHz 刻みで増加させて各周波数ごとに歩留りを調査する。このシミュレータを用いることで現実的な時間で調査を終了できる。

さらに、本研究では環境変動を反映できるようにシミュレータを改良した。具体的には、フリップフロップ i, j 間のパス遅延時間 D'_{ij} は評価のたびに以下の式で求める。

$$D'_{ij} = D_{ij} \times \left\{ 1 + \sigma_p \times N(0, 1) + \sigma_e \times N(0, 1) \right\}$$

D_{ij} は設計データを基にしたフリップフロップ i, j 間のパス遅延時間である。 σ_p は製造ばらつきに相当する遅延を正規乱数 $N(0, 1)$ で生成する際に使用する相対値であり、仮想チップ生成ごとに 1 回だけ計算される。また、 σ_e は環境変動に相当する遅延を正規乱数 $N(0, 1)$ で生成する際に使用する相対値であり、評価計算時の機能テストごとに計算される。ここで製造ばらつき σ_p は、文献 8) のように正規分布に従ってばらついて発生しているため、正規乱数を用いて生成することは妥当である。また、環境変動 σ_e は温度変化や電源電圧の降下だけでなく、様々な要因を含んでいると考えられるため、正規乱数を用いて生成することは妥当である。このようなシミュレーションモデルを採用することで、本シミュレータは調

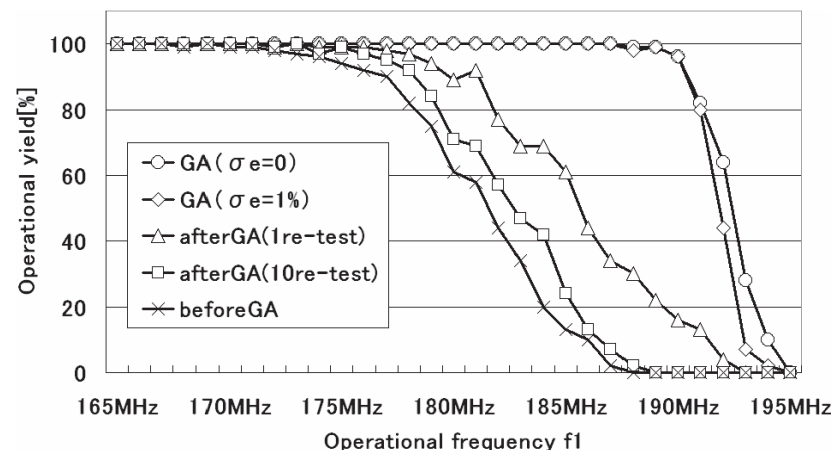


図 8 環境変動を反映した調整シミュレーション結果

Fig. 8 Adjustment simulation results with the fluctuations in the LSI environment.

整できるかどうかを短時間で必要な精度で判定することができる。

本実験では、文献 6) の調整箇所を限定する手法を用いることで調整の高速化を図り、調整箇所数を本来の 1,031 カ所から 300 カ所に限定した。加えて、同文献の GA の初期集団を設計中央値から正規分布に従って生成する手法も用いることで、さらなる調整の高速化を図っている。

4.2 環境変動の GA に対する影響

環境変動によって GA を用いた調整にどのような影響が出るかを調査するために、環境変動のまったくないチップ ($\sigma_e = 0$ とする) と、環境変動を設定したチップ ($\sigma_e = 1\%$) の 2 種類について従来手法による調整シミュレーション実験を行った。環境変動を設定したチップに関しては、GA による調整が終了後に 1 回と 10 回の機能テストを行った。10 回の機能テスト時に 1 回でも機能テストが不合格であったものは不良品とする。図 8 は各動作周波数におけるチップの歩留りをプロットしたものである。このグラフを一見すると、 $\sigma_e = 0$ と $\sigma_e = 1\%$ を用いた調整では歩留りがあまり変化していないように見える。しかし、 $\sigma_e = 1\%$ を用いた調整において、機能テストを繰り返すたびに歩留りが減少しているのが分かる。この理由として、機能テストの繰返し回数 R を 1 回だけとした従来手法による調整では、たまたま調整に都合の良い環境変動が与えられた際に GA が成功と見なされて終了

してしまうからである．これにより，調整終了後に機能テストを行った際に，環境変動が調整に厳しい方向に与えられるとチップが正常に動作しなくなる．このように従来の GA 終了条件では，十分な動作マージンが確保できないことが分かる．

5. シミュレーション実験による提案手法の有効性確認

本実験では，4.1 節の実験環境を用いて従来手法と提案手法による調整シミュレーション実験を行う．この実験により，動作マージンを確保したうえでチップ性能の向上を図る提案手法の有効性を検証する．

チップは動作電源電圧を設計値の 1.0 V で固定し，チップの調整動作周波数 f_2 を 165 MHz から 195 MHz まで 1 MHz 刻みで上昇させて動作させ，調整の効果を観測した．

5.1 実験条件

調整シミュレータにおける製造ばらつき σ_p は 5%，環境変動 σ_e は 1% とした．また，GA の終了条件を段階的に引き上げる提案手法では，終了条件を 2 段階とし，機能テストの繰返し回数 R をそれぞれ $R_1 = 1$ ， $R_2 = 10$ とした．

調整時の GA の諸条件は以下のように設定した．

- 母集団数：50
- 染色体長（調整箇所数）：300
- 打ち切り機能テスト回数：5,000
- 交叉方法：一様交叉
- 交叉確率：0.5
- 突然変異方法：Gaussian Mutation（正規分布を用いた突然変異）⁹⁾
- 突然変異確率：1.0

本実験では限られた時間の中でどの程度歩留りを向上させられるかを目的とし，従来手法と提案手法の比較実験を行うものとする．具体的には打ち切り機能テスト回数を 5,000 回に設定した．打ち切り機能テスト回数を 5,000 回に設定した理由として，LSI テスタを用いた調整では 1 回の機能テスト時間に 1 ミリ秒程度要すると見積もっているため⁴⁾，1 チップあたりの調整時間を実用的な限度である 5 秒程度に抑えるためには，5,000 回が妥当であると考えた．たとえば $R_1 = 1$ のときは最大 5,000 回の評価計算を行うことができるが， $R_1 = 10$ のときは最大 500 回までしか評価計算を行うことができない．

5.2 実験結果

図 9 に従来手法と提案手法，比較手法による調整実験の結果を示す．比較手法として，終

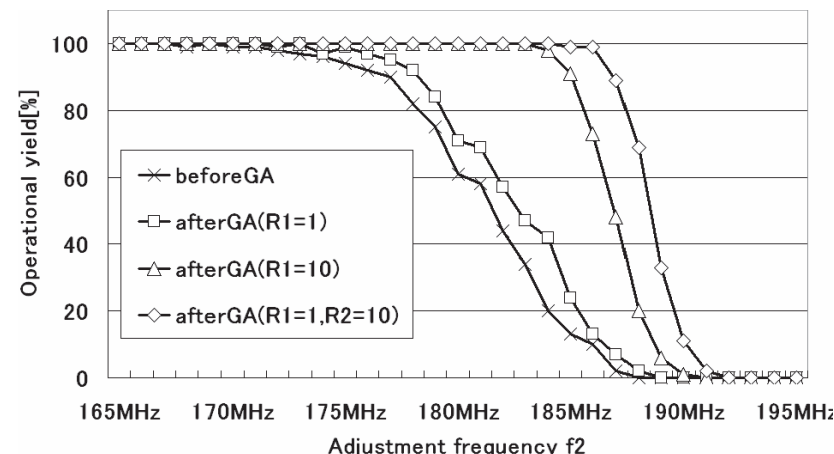


図 9 各手法における調整シミュレーション結果

Fig. 9 Adjustment simulation results with the each adjustment technique.

了条件を 1 段階とし， $R_1 = 10$ とした手法を用いた．また，提案手法や比較手法と同一の比較条件にするため，従来手法では調整成功後の仮想チップに 10 回の追加の機能テストを行い，すべて正常に動作した仮想チップの歩留りを調べた．このグラフを見ると，従来 GA による調整後の歩留りは無調整のものと比べてほとんど上がっていないのが分かる．それに対して，提案手法による調整後の歩留りは，大幅に向上しているのが分かる．また，つねに 10 回機能テストを行う比較手法による調整の歩留りは，従来手法による調整よりは上がっているが，提案手法ほど高くはない．これは，調整の序盤で大域探索に時間をかけすぎてしまい，限られた回数での調整では十分な局所探索ができないことが理由と考えられる．これらの結果から，提案手法である段階的に GA の終了条件を引き上げることの有効性が確認できた．

提案手法ではすでに説明したように，厳しい条件で調整を行う手法を組み合わせることによって，最終的に十分な動作マージンを確保する．ここで f_{adj} を固定値とすると，この場合，厳しくする周波数の f_{adj} の分だけ図 9 の歩留りカーブが左の方向へ平行移動することになる．この f_{adj} の値の決め方については次の章で考察する．

6. 考 察

6.1 値 f_{adj} の決め方について

f_{adj} の値の決め方については、与えられた環境変動に対して調整後のチップにどの程度の動作マージンが存在するかで決める必要がある。そこで、GA の終了条件を段階的に厳しくした提案調整手法において、調整後の仮想チップにどの程度の動作マージンが存在するかを調査した。具体的には GA による調整が終了した 100 仮想チップに対し、調整終了時の遅延回路の状態のまま、動作周波数を 0.5 MHz ずつ下げて 1,000 回の繰返し機能テストを行った。これを、環境変動による影響を受けなくなる、すなわち 1,000 回すべてにおいて正常動作するまで繰返し、それまでに降下させた動作周波数を調査した。この結果を表 1 に示す。

この表を見ると、提案手法による調整では 1,000 回すべて正常動作するまでに必要な周波数は平均 1.9 MHz であった。この仮想チップにおいては、 6σ 分のばらつきを考慮し、 $1.9 + 6 \times 1.1 = 8.5$ MHz 程度動作マージンを確保、すなわち f_{adj} の値は 8.5 MHz とすることで 1,000 回の機能テストを合格するのに十分な動作マージンを確保することができる。

6.2 GA 終了条件の引き上げと f_{adj} 厳しい条件での調整を組み合わせることの有効性

GA 終了条件の引き上げと厳しい条件での調整を組み合わせずに、従来手法による GA において大きめに設定した f_{adj} で厳しい条件での調整を行うことでもマージンは確保可能である。そこで、提案手法とこの比較手法を比較するための実験を行った。具体的には、従来手法での調整後に 6.1 節と同様の測定を行い、降下させた動作周波数を調査した。この結果を表 2 に示す。

この表を見ると、従来手法による調整では 1,000 回すべて正常動作するまでに必要な周波数は平均 3.4 MHz であった。これより、従来手法による調整よりも、GA の終了条件を段

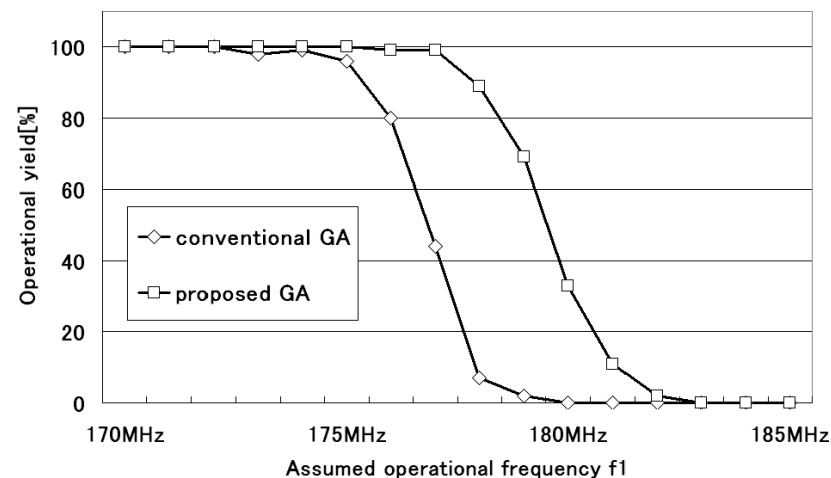
表 1 提案手法において降下させた動作周波数
Table 1 Reduced operational frequency using the proposed method.

	周波数 [MHz]
最大	4.0
最小	0
平均	1.9
分散	1.2
標準偏差	1.1

階的に厳しくした提案手法の方が GA 調整成功時点での動作マージンを確保できているということが分かる。これは、調整時に繰返し機能テストを行うことで、GA 評価時の信頼性を向上させることができたためである。この結果、提案手法と同様に、この比較手法では、 $f_{adj} = 3.4 + 6 \times 1.9 = 14.8$ MHz とすればよいことが分かる。ここで、図 9 のグラフを実際に f_{adj} 平行移動することで、想定動作周波数 f_1 での歩留りを、提案手法と比較手法で比較する（図 10）。このグラフを見ると、比較手法の歩留りよりも提案手法の歩留りの方が高いことが分かる。この結果から、GA 終了条件の引き上げと厳しい条件での調整を組み合わせることの有効性も確認できた。

表 2 従来手法において降下させた動作周波数
Table 2 Reduced operational frequency using the conventional method.

	周波数 [MHz]
最大	8.5
最小	0
平均	3.4
分散	3.5
標準偏差	1.9



7. おわりに

本研究では、動作マージンを確保可能なデジタル LSI の製造後クロック調整手法を提案した。具体的には、より厳しい条件での調整と調整時の GA 終了条件の段階的引き上げの組合せである。まず環境変動を反映できるように改良した調整シミュレータを用いた予備実験では、環境変動が調整結果に大きな影響を与えており、調整後のチップに十分な動作マージンが確保されていないことを確認した。次に、実用的なチップの設計データを用いた提案手法のシミュレーション実験においては、十分な動作マージンを確保したうえで、歩留りを向上させることに成功した。さらに比較実験により、GA の終了条件を段階的に引き上げることで、限られた調整回数を有効に使えたことを確認した。また、GA 終了条件の段階的引き上げと、より厳しい条件での調整を組み合わせることの有効性も確認することができた。

今後の課題として、温度や電源電圧など実際の環境変動の大きさをどのように調整シミュレータに反映させるのがあげられる。また、実際に LSI を試作し、上記シミュレーション実験の効果を実証していく予定である。

本研究の一部は半導体 MIRAI プロジェクトの一部として、NEDO（新エネルギー・産業技術総合開発機構）からの委託により実施した。

参 考 文 献

- 1) Rabaey, J., Chandrakasan, A. and Nikolic, B.: *Digital Integrated Circuits*, Prentice-Hall, Englewood Cliffs, NJ (2003).
- 2) Goldberg, D.E.: *Genetic Algorithms in Search, Optimization, and Machine Learning*, Addison Wesley (1989).
- 3) Takahashi, E., Murakawa, M., Toda, K. and Higuchi, T.: An evolvable-hardware-based clock architecture toward gigaHz digital systems, *Proc. AAAI Genetic Algorithm and Evolutionary Computation Conference (GECCO'99)*, pp.1204–1210 (1999).
- 4) Takahashi, E., Kasai, Y., Murakawa, M. and Higuchi, T.: Post-Fabrication Clock-Timing Adjustment Using Genetic Algorithms, *IEEE Journal on Solid-State Circuits*, Vol.39, No.4, pp.643–650 (2004).
- 5) Jha, N.K. and Gupta, S.: *Testing of Digital System*, CAMBRIDGE UNIVERSITY PRESS (2003).
- 6) 諏佐達也, 村川正宏, 高橋栄一, 古谷立美, 樋口哲也, 古市慎治, 上田佳孝, 和田 淳: デジタル LSI の製造後クロック調整技術の高速化手法, 情報処理学会論文誌: 数理モデル化と応用, Vol.48, No.SIG 15 (TOM 18), pp.78–87 (2007).

7) Yamauchi, H., et al.: An 81MHz, 1280 x 720pixels x 30frames/s MPEG-4 Video/Audio Codec Processor, *ISSCC Digest of Technical Papers*, pp.130–131 (2005).

8) Masuda, H., Okawa, S. and Aoki, M.: Approach for Physical Design in Sub-100nm Era, *Proc. ISCAS 2005* (2005).

9) Schwefel, H.P.: *Evolution and Optimum Seeking*, John Wiley & Sons (1995).

(平成 20 年 8 月 21 日受付)

(平成 20 年 10 月 14 日再受付)

(平成 20 年 11 月 17 日採録)



諏佐 達也

1981 年生。2006 年東邦大学大学院理学研究科情報科学専攻博士前期課程修了。現在、同研究科情報科学専攻博士後期課程在学中。LSI の製造後調整の研究に従事。



村川 正宏

1972 年生。1999 年東京大学大学院工学系研究科博士課程修了。工学博士。同年電子技術総合研究所（現、産業技術総合研究所）入所。現在、情報技術研究部門主任研究員。東邦大学連携大学院准教授兼任。遺伝的アルゴリズム、進化型ハードウェア、強化学習の研究に従事。第 2 回進化システム国際会議最優秀論文賞、平成 12 年度つくば奨励賞、電気学会ミレニアム最優秀論文賞受賞。



高橋 栄一（正会員）

1993 年東京大学大学院工学系研究科博士課程修了。同年電子技術総合研究所（現、産業技術総合研究所）入所。並列・実時間処理、適応型デジタル回路構成法、ネットワークセキュリティシステムの研究に従事。東邦大学連携大学院教授兼任。電子情報通信学会、IEEE 各会員。工学博士。



古谷 立美 (正会員)

1947 年生。1973 年成蹊大学大学院工学研究科電気工学専攻修士課程修了。同年電子技術総合研究所入所。知識処理マシンの研究開発に従事。1994 年より東邦大学教授。ネットワークと知識処理を組み合わせた応用研究に従事。工学博士。1993 年市村賞。



樋口 哲也

1982 年慶應義塾大学大学院工学研究科博士課程修了。工学博士。1983 年電子技術総合研究所入所。1990～1991 年カーネギーメロン大学客員研究員。現在、産業技術総合研究所情報技術研究部門主幹研究員。筑波大学連携大学院教授兼任。進化型ハードウェア、遺伝的アルゴリズムの研究に従事。第 25 回市村学術賞、電気学会ミレニアム最優秀論文賞等受賞。電子情報通信学会会員。



古市 慎治

1964 年生。1988 年名古屋工業大学電子工学科卒業。同年三洋電機 (株) 入社。以来、研究開発本部でシステム LSI 設計技術、ミックスシグナル設計技術、低電力設計技術の研究開発に従事。現在、三洋電機 (株) 研究開発本部デバイス開発センター、ミックスシグナル開発部主管研究員。IEEE SSCS 会員。2004～2006 年まで、技術研究組合超先端電子技術開発機構研究員。



上田 佳孝

1964 年生。1989 年岐阜大学大学院工学研究科電気工学専攻修士課程修了。同年三洋電機 (株) 入社。以来、研究開発本部でシステム LSI 設計技術、ミックスシグナル設計技術、低電力設計技術の研究開発に従事。現在、三洋電機 (株) 研究開発本部デバイス開発センター、ミックスシグナル開発部課長。電子情報通信学会会員。2004 年から、集積回路研究専門委員会専門委員。



和田 淳

1963 年生。1987 年京都大学理学部物理学科卒業。同年三洋電機 (株) 入社。以来、研究開発本部で CMOS アナログ回路設計、ミックスシグナル設計技術、低電力設計技術の研究開発に従事。現在、三洋電機 (株) 研究開発本部デバイス開発センター、ミックスシグナル開発部担当部長。電子情報処理学会会員。1999～2002 年まで、IEEE VLSI Circuit Symposium のプログラム委員会メンバ。